

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)4月18日

H 01 L 21/82
21/268
21/668526-5F
7738-5F
7168-5F

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 半導体大規模集積回路の製造方法

⑦ 特 願 昭60-225485

⑧ 出 願 昭60(1985)10月8日

⑨ 発 明 者 山 下 公 一 川崎市中原区上小田中1015番地 富士通株式会社内

⑩ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑪ 代 理 人 弁 理 士 井 柝 貞 一

明 細 書

1. 発明の名称

半導体大規模集積回路の製造方法

2. 特許請求の範囲

(1) 複数のセル、または複数のセルブロックからなるウエハー規模の半導体集積回路をウエハー状態で試験する際、前記セルまたはセルブロックに共通の電源ラインを設け、該電源ラインと前記セルまたはセルブロックとを予め電氣的に切り離した状態とした後、テスト前に1つのセルまたはセルブロックと電源ラインを接続して試験し、テスト後に再び電源ラインを切り離し、かくして、順次に前記セルまたはセルブロックのすべてを試験するようにしたことを特徴とする半導体大規模集積回路の製造方法。

(2) 前記テスト前のセルまたはセルブロックの1つと電源ラインの接続には、アモルファスシリコン層と金属層との積層部をレーザ照射してシリサイド層を形成し、前記テスト後の電源ライン切り

離しには、該電源ラインの任意位置をレーザ照射して溶融分離させるようにしたことを特徴とする特許請求の範囲第1項記載の半導体大規模集積回路の製造方法。

3. 発明の詳細な説明

〔概要〕

複数のセル(またはセルブロック)からなるウエハー規模のICをウエハー状態で試験するテストにおいて、前記セルに共通の電源ラインを設け、電源ラインとセルとを予め電氣的に切り離した状態としておき、テスト前に1つのセルと電源ラインを接続して試験し、テスト後に再び電源ラインを切り離し、かくして、順次にセルすべてを1つずつ試験する。

その接続には、例えば、アモルファスシリコン層と金属層との積層部をレーザ照射してシリサイド層(導電層)を形成し、また、切り離しには、電源ラインの任意位置をレーザ照射して溶融分離させる。

〔産業上の利用分野〕

本発明は半導体大規模集積回路の製造方法に係り、半導体ウエハのまゝを基板にした大規模集積回路の作成方法に関する。

ICはLSI、VLSIと目覚ましい進歩を遂げ、高集積化・高密度化されてきたが、それは高集積化・高密度化が進む程、高速動作など、性能が向上するメリットがあるからである。

しかし、高度に集積化を進めても、高歩留（高収率）に結びつかなければ、ICとして汎用されず、その製造法については高歩留になるように十分に考慮されなければならない。

〔従来の技術と発明が解決しようとする問題点〕

4インチ径や6インチ径のウエハの上に同種あるいは複数種のセル（以下、説明上、ICからなるセルまたはセルブロックを総称してセルと呼ぶ）を設け、そのままでは不良セルが含まれているので、そのセルの中の良品のみを選別し、その良品を選択的に接続して、ウエハそのものをI

その従来から知られているテスト方法を説明すると、その1つは多数のセルそれぞれに外部から給電するためのパッドを設け、そのパッドにプローブ（針）を接触させて、ウエハ上の多数のセルを1つずつ試験する、所謂プローブテスト方法である。しかし、このテスト法は、セルすべてにパッドを設けなければならない。そして、パッドにはプローブを接触させるから、その下にセル素子を設けると、そのセル素子は破壊されることになる。従つて、パッド領域は別個に設けられて、そのパッド領域のために、ウエハの高集積化が阻害される欠点がある。

また、他のテスト方法として、パッドの代わりにセルそれぞれ個々に電源ラインを設け、プローブを使用せずに、端子から給電するテスト方法があるが、これも集積度が害される点では、前記のプローブテスト方法と変わりがなく、むしろ更に集積度を悪化させる方法である。

本発明は、これらの問題点を解消させたウエハスケールICのテストを含む製造方法を提案す

Cにする、所謂ウエハスケールIC（ウエハ規模のIC）が考案されている。このウエハスケールICは二次元的に最も高集積化されたICである。

このような二次元のウエハスケールICにおいて、最も重要な課題の一つにテスト法がある。ウエハプロセスは微細で複雑な多数の工程から構成されているため、ウエハプロセスを終えてセル素子が作成されたウエハは、多数のセル全部が良品となる確率は低く、特に、不良となる原因は電源ショートによるものが多い。従つて、ウエハ上の多数のセルに共通の電源ラインを設けて試験すると、共通の電源ラインをもつセルはすべて電源ショートになつて不良になり、ウエハスケールICの歩留は極めて低下し、製品として販売することは無理な高コストになる。

そのため、良品のみ選別し、良品のみ配線して接続する製造方法が採られているが、それには他の問題点があつて、現在、十分満足なテスト法を含む製造方法は得られていない。

るものである。

〔問題点を解決するための手段〕

その目的は、複数のセル（セル、またはセルブロック）からなるウエハ規模の半導体集積回路をウエハ状態でテストする際、前記セルに共通の電源ラインを設け、該電源ラインと前記セルとを予め電氣的に切り離した状態とした後、テスト前に1つのセルと電源ラインを接続して試験し、テスト後に再び電源ラインを切り離し、かくして、順次に前記セルのすべてを試験するようにした半導体大規模集積回路の製造方法によつて達成される。

且つ、そのテスト前のセルと電源ラインの接続には、例えば、アモルファスシリコン層と金属層との積層部をレーザ照射してシリサイド層を形成し、テスト後の電源ライン切り離しには、電源ラインの任意位置をレーザ照射して溶融分離させる方法を用いる。

〔作用〕

即ち、本発明は、予めすべてのセルに共通の電源ラインを設け、その電源ラインはセルと切り離した状態にしておき、テスト前に1つのセルと電源ラインを接続して試験し、テスト後に再び電源ラインを切り離し、かくして、順次にセルのすべてを1つずつ試験する。

そうすると、セルは個々に試験されて、且つ、その電源ライン領域をウエハースケールICの実配線の領域として利用できるから集積度を阻害することもなく、高集積化される。

〔実施例〕

以下、図面を参照して実施例によつて詳細に説明する。

第1図は本発明にかかるウエハースケールICの平面概要図を示し、ウエハー1面の部分的なテスト用の電源ライン L_1 、 L_2 とそれに接続しようとする複数のセル $a \sim f$ を図示している。電源ライン L_1 はVddライン、電源ライン L_2 はVss

みの L_{sm} と L_{sc} とを電気的に接続する。

第3図(a)、(b)はその接続法を示す断面図で、第2図の接続点 t_1 部分の断面図である。図において、第3図(a)は電気的に切り離された状態にあり、1はウエハー基板、2、2'は絶縁膜、3はアモルファスシリコン膜、4はモリブデン膜、その他の記号は第2図と同一部材に同じ記号が付してある。この時、アモルファスシリコン膜(膜厚1000~2000Å)は不純物を含まずに純粋なシリコンであるから絶縁体となっており、そのため、電源接続分岐ライン L_{sm} とセル接続分岐ライン L_{sc} は切り離されて電気的に分離した状態である。且つ、モリブデン膜4はモリブデンに限るものでなく、チタン膜などの他の金属膜でも良い。

そして、テストしようとする際、この部分をレーザー照射して、第3図(b)に示すように、アモルファスシリコン膜3とモリブデン膜4とを加熱して反応させ、モリブデンシリサイド膜5を生成する。この照射は細く絞ったレーザービーム光で、光源にはヘリウム・ネオンレーザーを用いる。そうすると、

ラインとし、 P_1 、 P_2 はそれらに接続したパッドで、このパッドに端子、またはプローブを接触させて、給電する。且つ、これらの電源ラインおよびパッドはいずれもアルミニウム膜からなり、電源ラインは、例えば、膜厚0.5~1 μm 、幅50~100 μm 程度の配線である。更に、図示のように、電源ライン L_1 、 L_2 から分岐ライン L_s が設けられていて、セル $a \sim f$ のそれぞれに接続できるようにになっている。

尚、本例は2本の電源ライン L_1 、 L_2 を設けているが、一方のラインがウエハー基板に接続した接地ラインとなつている場合は、1本だけでもよい。

第2図は1つの分岐ライン L_s を拡大した部分平面図で、分岐ライン L_s は電源ラインに接続した L_{sm} とセルに接続した L_{sc} とからなり、このような電源接続分岐ライン L_{sm} とセル接続分岐ライン L_{sc} は、テスト前では接続点 t_1 で切り離されて電気的に分離した状態にある。この状態の分岐ラインを、試験しようとする際に、1つのセルの

モリブデンシリサイド膜は導電体であるから、電源接続分岐ライン L_{sm} とセル接続分岐ライン L_{sc} とが電気的に接続されて、セル a に給電できるようになる。

そうして、図示していない信号ラインを利用し、また、上記の電源ラインから給電して試験を行ない、セル a の良否を判別する。

かくして、テスト終了後、電源ライン L_1 に接続した電源接続分岐ライン L_{sm} を切断する。それは第2図に示す切断点 t_2 でおこない、第4図(a)、(b)の断面図にその切断法を示している。同図(a)は電気的に接続された状態であり、図中の記号は第3図と同一記号が付してある。同図(b)はレーザー照射して、アルミニウムからなる分岐ライン L_{sm} を溶融して切断した状態である。切断するためのレーザー照射は、上記の接続時の照射に比し、大パワーのレーザーを短時間照射する方法を採る。

このようにして、順次にセル b 、 c 、 d と試験して、全部のセルの良否を判別する。ウエハー上の全部のセルが判別されると、その情報に基づい

て実配線がおこなわれる。実配線は上記のテスト用電源ラインの上に絶縁膜を介して形成する方法が用いられる。勿論、テスト用電源ラインを除去して、その後に実配線を設けてもよい。

尚、上記した電源ラインの接続・切断はセルのテストと組み合わせて、コンピュータ制御下のリアルタイムで自動的におこなうものである。

また、上記テスト用の電源ラインを、ウエハー上の数個のセルを接続した多数の電源ラインに形成するか、また、ウエハー上のセル全部を接続する単数の電源ラインとするか、は集積度を考慮して、セル設計と関連して決定する方法が望ましい。

且つ、上記はセルをテスト単位として説明したが、ウエハープロセスの歩留を勘案して複数セル(セルブロック)をテスト単位としても良い。

〔発明の効果〕

以上の説明から明らかなように、本発明によればウエハースケールICが高集積化され、且つ、効率良く作成される大きな効果がある。

4. 図面の簡単な説明

第1図は本発明にかかるウエハースケールICの平面概要図、

第2図はその電源ラインの分岐ライン部分の拡大平面図、

第3図(a)、(b)は接続法を示す断面図、

第4図(a)、(b)は切断法を示す断面図である。

図において、

1はウエハー、2, 2'は絶縁膜、

3はアモルファスシリコン膜、

4はモリブデン膜、

5はモリブデンシリサイド膜、

a~fはセル、

L₁, L₂は電源ライン、

P₁, P₂は電源ラインに接続したパッド、

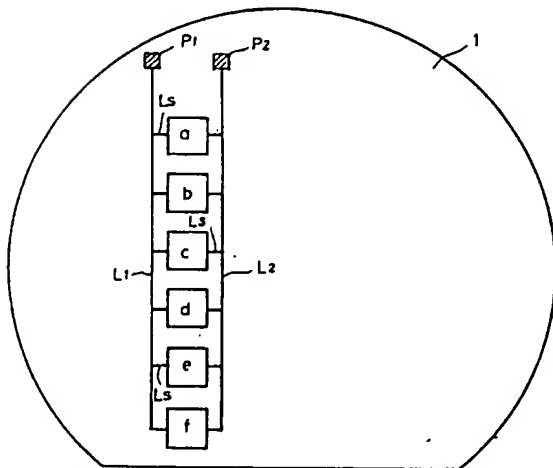
L_s, L_{sm}, L_{sc}は電源ラインの分岐ライン、

t₁は接続点、

t₂は切断点

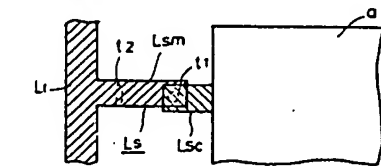
を示している。

代理人 弁理士 井 術 貞



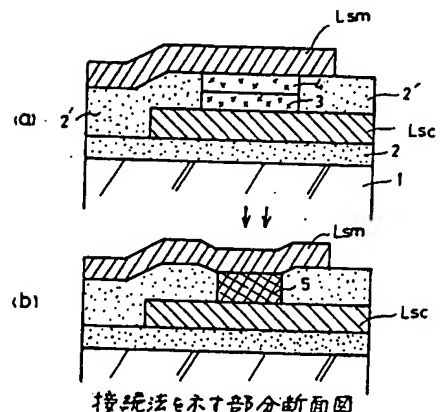
本発明にかかるウエハースケールICの平面概要図

第1図



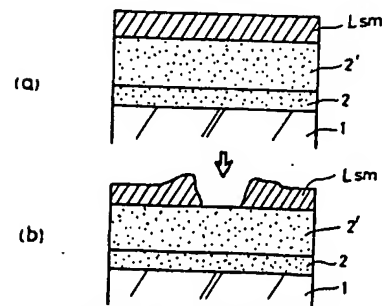
分岐ライン部分の拡大平面図

第2図



接続法を示す部分断面図

第3図



分離法を示す部分断面図

第4図